

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 6 月 2 5 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 1 8 7 2 4 0

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

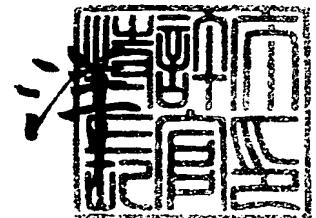
J P 2 0 0 4 - 1 8 7 2 4 0

出 願 人
Applicant(s): ローム株式会社

2 0 0 5 年 7 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
 【整理番号】 03PQ035A
 【提出日】 平成16年 6月25日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/324
 H01L 21/8238
 【発明者】
 【住所又は居所】 茨城県つくば市小野川 1 6 番地 1 株式会社半導体先端テクノロ
 ジーズ内
 【氏名】 大路 洋
 【特許出願人】
 【識別番号】 597114926
 【氏名又は名称】 株式会社半導体先端テクノロジーズ
 【代理人】
 【識別番号】 100082175
 【弁理士】
 【氏名又は名称】 高田 守
 【電話番号】 03-5379-3088
 【連絡先】 担当
 【選任した代理人】
 【識別番号】 100106150
 【弁理士】
 【氏名又は名称】 高橋 英樹
 【電話番号】 03-5379-3088
 【手数料の表示】
 【予納台帳番号】 049397
 【納付金額】 16,000円
 【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0214704

【請求項 1】

基板の上層に形成された第 1 導電型のウェルと、
前記ウェルのチャネル部分の極表層に形成され、前記ウェルよりも低い不純物濃度を有する第 1 導電型の低濃度層と、
前記低濃度層上に形成され、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜と、
前記高誘電率ゲート絶縁膜上に形成されたゲート電極と、
前記低濃度層を挟んで前記ウェルの上層に形成された第 2 導電型のソース／ドレイン領域とを備えたことを特徴とする半導体装置。

【請求項 2】

n 型回路領域と p 型回路領域とを有する相補型の半導体装置であって、
n 型回路領域の基板の上層に形成された p 型ウェルと、
p 型回路領域の前記基板の上層に形成された n 型ウェルと、
前記 p 型ウェルのチャネル部分の極表層に形成され、前記 p 型ウェルよりも低い不純物濃度を有する p 型低濃度層と、
前記 n 型ウェルのチャネル部分の極表層に形成され、前記 n 型ウェルよりも低い不純物濃度を有する n 型低濃度層と、
前記 p 型及び n 型低濃度層上に形成され、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜と、
前記高誘電率ゲート絶縁膜上に形成されたゲート電極と、
前記 p 型低濃度層を挟んで前記 p 型ウェルの上層に形成された n 型ソース／ドレイン領域と、
前記 n 型低濃度層を挟んで前記 n 型ウェルの上層に形成された p 型ソース／ドレイン領域とを備えたことを特徴とする半導体装置。

【請求項 3】

基板内に第 1 導電型の不純物を注入してウェルを形成する工程と、
前記ウェルのチャネル部分の極表層に第 2 導電型の不純物を注入する工程と、
前記第 2 導電型の不純物を注入した後、前記基板上にシリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、
前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターニングすることによりゲート電極を形成する工程と、
前記ゲート電極をマスクとして前記基板に第 2 導電型の不純物を注入してソース／ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】

n 型回路領域と p 型回路領域とを有する相補型の半導体装置の製造方法であって、
前記 n 型回路領域の基板上層に p 型ウェルを形成し、前記 p 型回路領域の基板上層に n 型ウェルを形成する工程と、
前記 p 型ウェルのチャネル部分の極表層に n 型不純物を注入する工程と、
前記 n 型ウェルのチャネル部分の極表層に p 型不純物を注入する工程と、
前記 n 型及び p 型不純物を注入した後、前記基板上に、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、
前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターニングすることにより前記 n 型及び p 型回路領域にゲート電極を形成する工程と、
前記ゲート電極をマスクとして前記 p 型ウェルに n 型不純物を注入して、前記 n 型回路領域に n 型ソース／ドレイン領域を形成する工程と、
前記ゲート電極をマスクとして前記 n 型ウェルに p 型不純物を注入して、前記 p 型回路領域に p 型ソース／ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の

製造方法。

【請求項5】

n型回路領域とp型回路領域とを有する相補型の半導体装置の製造方法であって、
前記n型回路領域の基板上層に、ボロンイオンを $1 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量で注入してp型ウェルを形成する工程と、
前記p型回路領域の基板上層に、リンイオンを $1 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量で注入してn型ウェルを形成する工程と、
前記p型ウェルのチャネル部分の極表層に、砒素イオン又はリンイオンを $5 \sim 8 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量で注入する工程と、
前記n型ウェルのチャネル部分の極表層に、ボロンイオンを $3 \sim 5 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量で注入する工程と、
熱処理を行って前記極表層に注入された砒素イオンとボロンイオンを拡散させることにより、前記p型ウェルのチャネル部分の極表層にp型低濃度層を形成すると共に、前記n型ウェルのチャネル部分の極表層にn型低濃度層を形成する工程と、
前記熱処理を行った後、前記基板上に、HfAlO_x膜を形成する工程と、
前記HfAlO_x膜上にゲート電極となるポリシリコン膜を形成する工程と、
前記ポリシリコン膜及び前記HfAlO_x膜をパターニングすることにより、前記p型及びn型低濃度層上に前記HfAlO_x膜を介してゲート電極を形成する工程と、
前記ゲート電極をマスクとして、前記p型ウェルにn型不純物を注入して、前記n型回路領域にn型ソース／ドレイン領域を形成する工程と、
前記ゲート電極をマスクとして前記n型ウェルにp型不純物を注入して、前記p型回路領域にp型ソース／ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、高誘電率ゲート絶縁膜を有する半導体装置及びその製造方法に係り、特にMISFETの閾値電圧の制御に関する。

【背景技術】

【0002】

MISFET (metal insulator semiconductor field effect transistor) 等の半導体デバイスの高速化・微細化を実現するため、ゲート絶縁膜の薄膜化が行われてきた。しかし、従来ゲート絶縁膜として用いられたシリコン酸化膜やシリコン酸窒化膜（以下「シリコン酸化膜等」という。）を薄膜化するとゲートリーク電流が増加してしまうという問題があった。この問題を解決するため、ゲート絶縁膜として高誘電率膜（以下「高誘電率ゲート絶縁膜」という。）を採用する手法が提案されている。

【0003】

また、P型不純物領域を形成することにより、MOSトランジスタの閾値電圧を制御する手法が提案されている（例えば、特許文献1参照。）。

【0004】

【特許文献1】特開2002-313950号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、本発明者の検討の結果、MISFETのゲート絶縁膜として高誘電率ゲート絶縁膜を用いると、シリコン酸化膜等を用いた場合と比較して、MISFETの閾値電圧が更になくなってしまいう問題があることが分かった。1つの原因として、高誘電率ゲート絶縁膜に含まれる金属と、ゲート電極に含まれるSiとが反応するためと考えられる。また、別の原因として、高誘電率ゲート絶縁膜に含まれる金属が、ソース／ドレイン領域形成用として基板に注入された砒素イオンやボロンイオンと反応するためと考えられる。

MISFETの閾値電圧が高くなってしまうとトランジスタ駆動性能が低下してしまうため、閾値電圧を高精度に制御する必要がある。

【0006】

本発明は、上記従来の課題を解決するためになされたもので、高誘電率ゲート絶縁膜を有する半導体装置の閾値電圧を高精度に制御することを目的とする。

【課題を解決するための手段】

【0007】

本発明に係る半導体装置は、基板の上層に形成された第1導電型のウェルと、
前記ウェルのチャネル部分の極表層に形成され、前記ウェルよりも低い不純物濃度を有する第1導電型の低濃度層と、
前記低濃度層上に形成され、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜と、
前記高誘電率ゲート絶縁膜上に形成されたゲート電極と、
前記低濃度層を挟んで前記ウェルの上層に形成された第2導電型のソース／ドレイン領域とを備えたことを特徴とするものである。

【0008】

本発明に係る半導体装置は、n型回路領域とp型回路領域とを有する相補型の半導体装置であって、

n型回路領域の基板の上層に形成されたp型ウェルと、

p型回路領域の前記基板の上層に形成されたn型ウェルと、

前記p型ウェルのチャネル部分の極表層に形成され、前記p型ウェルよりも低い不純物

•

—

至ウェルのチャネル部分の極表層に低不純物濃度層を形成する工程と、

前記熱処理を行った後、前記基板上に、 HfAlOx 膜を形成する工程と、

前記 HfAlOx 膜上にゲート電極となるポリシリコン膜を形成する工程と、

前記ポリシリコン膜及び前記 HfAlOx 膜をパターニングすることにより、前記p型及びn型低濃度層上に前記 HfAlOx 膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記p型ウェルにn型不純物を注入して、前記n型回路領域にn型ソース／ドレイン領域を形成する工程と、

前記ゲート電極をマスクとして前記n型ウェルにp型不純物を注入して、前記p型回路領域にp型ソース／ドレイン領域を形成する工程とを含むことを特徴とするものである。

【発明の効果】

【0012】

本発明は以上説明したように、ウェル領域のチャネル部分の極表層に低い不純物濃度を有する低濃度層を形成することにより、高誘電率ゲート絶縁膜を有する半導体装置の閾値電圧を高精度に制御することができる。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照して本発明の実施の形態について説明する。図中、同一または相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

【0014】

実施の形態1.

図1は、本発明の実施の形態1による半導体装置を説明するための断面図である。具体的には、図1は、n型チャネルMISFETを説明するための断面図である。

図1に示すように、シリコン基板1の活性領域を分離する素子分離2が形成されている。シリコン基板1上層にはp型ウェル3が形成されている。p型ウェル3のチャネル部分の極表層にはp型低濃度層5が形成されている。詳細は後述するが、このp型低濃度層5は、n型不純物のカウンタードープにより形成され、周りのp型ウェル3よりも低い不純物濃度を有している。チャネル部分の極表層にp型低濃度層5を形成することにより、MISFETの閾値電圧の制御を高精度に行うことができる（後述）。p型低濃度層5の深さは、シリコン基板1表面から数nm～10nm程度である。これよりも深い位置では、p型ウェル3により相殺される。p型低濃度層5上にはシリコン酸化膜6aが形成され、その上にシリコン酸化膜6aよりも高い比誘電率を有する高誘電率ゲート絶縁膜7aとしての HfAlOx 膜が形成されている。

HfAlOx 膜7a上にはポリシリコン膜からなるゲート電極8aが形成されている。ゲート電極8aの側壁にはダメージ防止用のシリコン酸化膜12を介してシリコン窒化膜からなるサイドウォール13が形成されている。サイドウォール13下のウェル3上層には、p型低濃度層5aを挟むようにn型エクステンション領域11aが形成されている。さらに、このn型エクステンション領域11aと接続するn型ソース／ドレイン領域15aがウェル3上層に形成されている。

【0015】

次に、上記半導体装置の製造方法について説明する。

図2は、本実施の形態1による半導体装置の製造方法を説明するための工程断面図である。具体的には、図2は、n型チャネルMISFETの製造方法を説明するための工程断面図である。

まず、図2(a)に示すように、p型シリコン基板1にSTI (shallow trench isolation) 法を用いて、酸化膜からなる素子分離2を形成する。そして、素子分離2で分離された活性領域にp型不純物としてのボロンイオンを、例えば、ドーズ量： $1 \times 10^{13} \text{ atoms/cm}^2$ 、加速電圧：130 eVで注入し、その後に熱処理を行うことにより、p型ウェル3を形成する。

【0016】

次に、図2(b)に示すように、p型ウェル3の極表層、すなわち、p型ウェル3のチ

チャンネル領域となるポリシリコン膜を形成する。その後、極表面に、 11 原子層程度の不純物濃度としての砒素イオンを、例えば、ドーズ量： $5 \sim 8 \times 10^{12} \text{ atoms/cm}^2$ 、加速電圧： 80 eV で注入する。その後、 850°C の温度で 30 秒程度の熱処理を行うことにより、砒素イオン 4 が拡散し、図 $2(c)$ に示すように、 p 型ウェル 3 の極表面に、 p 型ウェル 3 よりも低い不純物濃度を有する p 型低濃度層 5 が形成される。詳細は後述するが、この p 型低濃度層 $5a$ が、高誘電率ゲート絶縁膜 7 を有する MISFET の閾値電圧を高精度に制御することを可能にする。

【0017】

次に、図 $2(c)$ に示すように、 p 型低濃度層 5 上にシリコン酸化膜 6 を熱酸化法により、例えば、 $0.7 \text{ nm} \sim 1.0 \text{ nm}$ の膜厚で形成する。そして、シリコン酸化膜 6 上に、該シリコン酸化膜 6 よりも高い比誘電率を有する高誘電率ゲート絶縁膜 7 として HfAlOx 膜を、例えば、 $1.2 \text{ nm} \sim 2.5 \text{ nm}$ の膜厚で形成する。さらに、 HfAlOx 膜 7 上にゲート電極となるポリシリコン膜 8 をシランガスを材料として、例えば、 125 nm 程度の膜厚で形成する。図示しないが、ポリシリコン膜 8 にゲートドーパントとしてのリンイオンを、例えば、ドーズ量： $1 \times 10^{16} \text{ atoms/cm}^2$ で注入する。その後、熱処理を行うことにより、ポリシリコン膜 8 におけるゲートドーパントが拡散する。さらに、ポリシリコン膜 8 上にレジストパターン 9 をリソグラフィ技術により形成する。

【0018】

続いて、レジストパターン 9 をマスクとしてポリシリコン膜 8 、 HfAlOx 膜 7 及びシリコン酸化膜 6 を順次エッチングする。その後、レジストパターン 9 を除去すると、図 $2(d)$ に示すように、シリコン基板 1 の p 型低濃度層 5 上にゲート絶縁膜 $6a$ 、 $7a$ を介してゲート電極 $8a$ が形成される。すなわち、ゲート絶縁膜 $6a$ 直下のチャンネル領域の極表面に p 型低濃度層 5 が位置する。そして、ゲート電極 $8a$ をマスクとして用いて、 n 型不純物としての砒素イオン 10 を、例えば、加速電圧： 2 keV 、ドーズ量： $1 \times 10^{15} \text{ atoms/cm}^2$ で注入して、 n 型不純物層 11 を形成する。その後、熱処理を行う。これにより、 n 型不純物層 11 における砒素イオンが活性化して、図 $2(e)$ に示すように、シリコン基板 1 上層に n 型エクステンション領域 $11a$ が形成される。

【0019】

次に、基板 1 全面にダメージ防止用のシリコン酸化膜 12 を、例えば、 2 nm の膜厚で形成する。そして、シリコン酸化膜 12 上にシリコン窒化膜 13 を、例えば、 $50 \text{ nm} \sim 80 \text{ nm}$ の膜厚で形成する。続いて、シリコン窒化膜 13 とシリコン酸化膜 12 を異方性エッチングする。これにより、図 $2(e)$ に示すように、ゲート電極 $8a$ の側壁を覆うサイドウォール 13 が自己整合的に形成される。次に、サイドウォール 13 及びゲート電極 $8a$ をマスクとして用いて、 n 型不純物としての砒素イオン 14 を、例えば、加速電圧： 35 keV 、ドーズ量： $5 \times 10^{15} \text{ atoms/cm}^2$ で注入して、 n 型不純物層 15 を形成する。その後、熱処理を行う。これにより、 n 型不純物層 15 における砒素イオンが活性化して、図 $2(f)$ に示すように、シリコン基板 1 上層に n 型エクステンション領域 11 よりも高濃度の n 型ソース／ドレイン領域 $15a$ が形成される。

【0020】

以上説明したように、本実施の形態 1 では、 p 型ウェル 3 を形成した後、 p 型ウェル 3 のチャンネル部分の極表面に砒素イオン 4 を注入し熱処理を行うことにより、該極表面に p 型ウェル 3 よりも低い不純物濃度を有する p 型低濃度層 5 を形成した。これにより、金属を含有する HfAlOx 膜をゲート絶縁膜として用いた場合でも、 MISFET の閾値電圧を制御することができる。従って、高誘電率ゲート絶縁膜を有する半導体装置の閾値電圧を高精度に制御することができる。

【0021】

なお、本実施の形態 1 では、 n 型チャンネル MISFET について説明したが、 p 型チャンネル MISFET に対しても本発明を適用することができる。この場合、素子分離 2 形成後に、リンイオンをドーズ量： $1 \times 10^{13} \text{ atoms/cm}^2$ 、加速電圧： 300 eV で注入し、熱処理を行うことにより n 型ウェルを形成する。その後、 n 型ウェルのチャ

シリコン基板の極表層にp型不純物としてのホロンイオンを、例えば、 $1 \times 10^{12} \text{ atoms/cm}^2$ 、加速電圧： 15 eV で注入し、熱処理を行うことによりp型低濃度層を形成する。以後、後述する実施の形態2のPMIS領域と同様の手法で、MISFETを形成する。

【0022】

また、本実施の形態1では、LDD構造を有するMISFETについて説明したが、LDD構造を有しないMISFETに対しても本発明を適用することができる（後述する実施の形態2についても同様）。この場合、ゲート電極パターンニング後に、ゲート電極8aをマスクとしてn型ソース／ドレイン領域形成用のn型不純物をシリコン基板1に注入する。

【0023】

また、シリコン酸化膜6の代わりに、シリコン窒化膜やシリコン酸窒化膜を用いることができる。さらに、高誘電率ゲート絶縁膜7として、 HfAlO_x 膜（Hfアルミネート膜）以外に、ハフニア膜（ HfO_2 膜）、Hfシリケート膜（ HfSiO_x 膜）、或いはアルミナ膜（ Al_2O_3 膜）、或いはこれらを窒化処理した膜を用いることができる。また、シリコン酸化膜6を形成することなく、シリコン基板1上に高誘電率ゲート絶縁膜7を直接形成してもよい（後述する実施の形態2についても同様）。

【0024】

また、ゲート電極材料膜8としてポリシリコン膜の代わりに、ポリシリコンゲルマニウム膜を用いることができる（後述する実施の形態2についても同様）。

【0025】

また、p型低濃度層5を形成するために、砒素イオン4を注入する代わりに、リンイオンを、例えば、ドーズ量： $5 \sim 8 \times 10^{12} \text{ atoms/cm}^2$ 、加速電圧： 35 eV で注入することができる（後述する実施の形態2についても同様）。この場合も、同じ深さのp型低濃度層が得られる。

【0026】

実施の形態2。

図3は、本発明の実施の形態2による半導体装置を説明するための断面図である。具体的には、相補型半導体装置であるCMISFETを説明するための断面図である。

図3に示すように、シリコン基板21の活性領域を分離する素子分離22が形成されている、この素子分離22によりNMIS領域とPMIS領域が区画されている。NMIS領域のシリコン基板21上層にはp型ウェル23が形成されており、PMIS領域のシリコン基板21上層にはn型ウェル24が形成されている。p型ウェル23のチャンネル部分の極表層にはp型低濃度層27が形成され、n型ウェル24のチャンネル部分の極表層にはn型低濃度層30が形成されている。詳細は後述するが、p型低濃度層27及びn型低濃度層30はn型及びp型不純物のカウンタードープにより形成され、周りのp型ウェル23及びn型ウェル24よりも低い不純物濃度を有している。チャンネル部分の極表層にp型低濃度層27及びn型低濃度層30を形成することにより、n型チャンネルMISFET及びp型チャンネルMISFETの閾値電圧の制御を高精度に行うことができる（後述）。p型低濃度層27及びn型低濃度層30の深さは、シリコン基板21表面から数nm～10nm程度である。これよりも深い位置では、p型ウェル23及びn型ウェル24により相殺される。p型低濃度層27及びn型低濃度層30上にはそれぞれシリコン酸化膜31aが形成され、その上にシリコン酸化膜31aよりも高い比誘電率を有する高誘電率ゲート絶縁膜32aとしての HfAlO_x 膜が形成されている。

【0027】

HfAlO_x 膜32a上にはポリシリコン膜からなるゲート電極33aが形成されている。ゲート電極33aの側壁にはダメージ防止用のシリコン酸化膜41を介してシリコン窒化膜からなるサイドウォール42が形成されている。

NMIS領域におけるサイドウォール42下のp型ウェル23上層には、p型低濃度層27を挟むようにn型エクステンション領域37aが形成されている。さらに、このn型

エノヘノンシヨソ領域40aと接続するp型ソース／ドレイン領域48aがp型ウェル23上層に形成されている。

また、PMIS領域におけるサイドウォール42下のn型ウェル24上層には、n型低濃度層30を挟むようにp型エクステンション領域40aが形成されている。さらに、このp型エクステンション領域40aと接続するp型ソース／ドレイン領域48aがn型ウェル24上層に形成されている。

【0028】

次に、上記半導体装置の製造方法について説明する。

図4～図6は、本実施の形態2による半導体装置の製造方法を説明するための工程断面図である。より詳細には、相補型半導体装置であるCMISFETの製造方法を説明するための工程断面図である。

【0029】

先ず、図4(a)に示すように、p型シリコン基板21にSTI法を用いて素子分離22を形成する。そして、素子分離22で分離されたn型チャンネルMISFET領域(以下「NMIS領域」という。)の活性領域に、p型不純物としてのボロンイオンを、ドーズ量： $1 \times 10^{13} \text{ atoms/cm}^2$ 、加速電圧： 130 eV で注入し、熱処理を行うことによりp型ウェル23を形成する。また、p型チャンネルMISFET領域(以下「PMIS領域」という。)の活性領域に、n型不純物としてのリンイオンを、例えば、ドーズ量： $1 \times 10^{13} \text{ atoms/cm}^2$ 、加速電圧： 300 eV で注入し、その後に熱処理を行うことにより、n型ウェル24を形成する。なお、1回の熱処理でp型不純物とn型不純物を拡散させることができる。

【0030】

次に、図4(b)に示すように、リソグラフィ技術を用いてPMIS領域を覆うレジストパターン25を形成する。そして、p型ウェル23の極表層、すなわち、p型ウェル23のチャンネル部分の極表層に、n型不純物26としての砒素イオンを、例えば、ドーズ量： $5 \sim 8 \times 10^{12} \text{ atoms/cm}^2$ 、加速電圧： 80 eV で注入する。その後、レジストパターン25を除去する。

【0031】

次に、図4(c)に示すように、リソグラフィ技術を用いてNMIS領域を覆うレジストパターン28を形成する。そして、n型ウェル24の極表層、すなわち、n型ウェル24のチャンネル部分の極表層に、p型不純物29としてのボロンイオンを、例えば、ドーズ量： $3 \sim 5 \times 10^{12} \text{ atoms/cm}^2$ 、加速電圧： 15 eV で注入する。さらに、レジストパターン28を除去した後に、 850°C の温度で30秒程度の熱処理を行うことにより、図5(a)に示すように、p型ウェル23の極表層にp型低濃度層27が形成され、n型ウェル24の極表層にn型低濃度層30が形成される。

【0032】

次に、図5(a)に示すように、シリコン基板21上にシリコン酸化膜31を熱酸化法により、例えば、 $0.7 \text{ nm} \sim 1.0 \text{ nm}$ の膜厚で形成する。そして、シリコン酸化膜31上に、該シリコン酸化膜31よりも高い比誘電率を有する高誘電率ゲート絶縁膜32としてHfAlOx膜を、例えば、 $1.2 \text{ nm} \sim 2.5 \text{ nm}$ の膜厚で形成する。さらに、HfAlOx膜32上にゲート電極となるポリシリコン膜33をシランガスを材料として、例えば、 125 nm 程度の膜厚で形成する。

その後、図示しないが、PMIS領域をレジストパターンでマスクし、NMIS領域のポリシリコン膜33にゲートドーパントとしてのリンイオンを、例えば、ドーズ量： $1 \times 10^{16} \text{ atoms/cm}^2$ で注入する。同様の手法を用いて、NMIS領域をレジストパターンでマスクし、PMIS領域のポリシリコン膜33にゲートドーパントとしてのボロンイオンを、例えば、ドーズ量： $3 \times 10^{15} \text{ atoms/cm}^2$ で注入する。熱処理を行うことにより、ポリシリコン膜33におけるゲートドーパントが拡散する。

次に、ポリシリコン膜33上にリソグラフィ技術を用いてレジストパターン34を形成する。

そして、レジストパターン34をマスクとして、ポリシリコン膜33、HfAlO_x膜32及びシリコン酸化膜31を順次エッチングする。その後、レジストパターン34を除去すると、図5(b)に示すように、NMIS領域においてp型低濃度層27上にゲート絶縁膜31a、32aを介してゲート電極33aが形成され、PMIS領域においてn型低濃度層30上にゲート絶縁膜25a、26aを介してゲート電極33aが形成される。

次に、図5(b)に示すように、リソグラフィ技術を用いてPMIS領域を覆うレジストパターン35を形成し、NMIS領域のゲート電極33aをマスクとして用いてn型エクステンション領域形成用のn型不純物としての砒素イオン36を、例えば、加速電圧：2keV、ドーズ量： $1 \times 10^{15} \text{ atoms/cm}^2$ で注入する。これにより、NMIS領域のシリコン基板21上層にn型不純物層37が形成される。その後、レジストパターン35を除去する。

【 0 0 3 4 】

次に、図5(c)に示すように、リソグラフィ技術を用いてNMIS領域を覆うレジストパターン38を形成し、PMIS領域のゲート電極33aをマスクとして用いてp型エクステンション領域形成用のp型不純物としてのボロンイオン39を、例えば、加速電圧：0.2keV、ドーズ量： $1 \times 10^{15} \text{ atoms/cm}^2$ で注入する。これにより、PMIS領域のシリコン基板21上層にp型不純物層40が形成される。その後、熱処理を行うことにより、図6(a)に示すように、NMIS領域のn型不純物層37における砒素イオンが活性化してn型エクステンション領域37aが形成され、PMIS領域のp型不純物層40におけるボロンイオンが活性化してp型エクステンション領域40aが形成される。

【 0 0 3 5 】

次に、図6(a)に示すように、基板21全面にシリコン酸化膜41を、例えば、2nmの膜厚で形成する。そして、シリコン酸化膜41上にシリコン窒化膜42を、例えば、50nm～80nmの膜厚で形成する。続いて、シリコン窒化膜42とシリコン酸化膜41を異方性エッチングする。これにより、ゲート電極33aの側壁を覆うサイドウォール42が自己整合的に形成される。

次に、リソグラフィ技術を用いてPMIS領域を覆うレジストパターン43を形成する。そして、NMIS領域のサイドウォール42及びゲート電極33aをマスクとして用いてn型ソース／ドレイン領域形成用のn型不純物としての砒素イオン44を、例えば、加速電圧：35keV、ドーズ量： $5 \times 10^{15} \text{ atoms/cm}^2$ で注入する。これにより、NMIS領域のシリコン基板21上層にn型不純物層45が形成される。その後、レジストパターン43を除去する。

【 0 0 3 6 】

次に、図6(b)に示すように、リソグラフィ技術を用いてNMIS領域を覆うレジストパターン46を形成する。そして、PMIS領域のサイドウォール42及びゲート電極33aをマスクとして用いてp型ソース／ドレイン領域のp型不純物としてのボロンイオン47を、例えば、加速電圧：5keV、ドーズ量： $3 \times 10^{15} \text{ atoms/cm}^2$ で注入する。これにより、PMIS領域のシリコン基板21上層にp型不純物層48が形成される。その後、レジストパターン46を除去する。

【 0 0 3 7 】

最後に、図6(c)に示すように、1000℃以上1050℃以下の温度で数秒程度の熱処理を行う。これにより、NMIS領域のn型不純物層45における砒素イオンが活性化してn型ソース／ドレイン領域45aが形成され、PMIS領域のp型不純物層48におけるボロンイオンが活性化してp型ソース／ドレイン領域48aが形成される。

【 0 0 3 8 】

以上説明したように、本実施の形態2では、NMIS領域にp型ウェル23を形成し、PMIS領域にn型ウェル24を形成した後、p型ウェル23のチャンネル部分の極表層に砒素イオン26を注入し熱処理を行うことにより、該p型ウェル23よりも低い不純物濃

反を有するp型低濃度層27を形成し、n型ウェル24のチャネル部分の極微層にホロンイオン29を注入し熱処理を行うことにより、該n型ウェル24よりも低い不純物濃度を有するn型低濃度層30を形成した。これにより、金属を含有する $HfAlO_x$ 膜をゲート絶縁膜として用いた場合でも、n型チャネルMISFET及びp型チャネルMISFETの閾値電圧を制御することができる。従って、高誘電率ゲート絶縁膜を有する相補型半導体装置の閾値電圧を高精度に制御することができる。

【0039】

図7は、本発明において、N型チャネルMISFETの閾値電圧とゲート長との関係を示す図である。

図7に示すように、チャネル部分への不純物濃度制御用のイオン注入を行わない場合にはNFETの閾値電圧の上昇が見られ、イオン注入を行うことにより閾値電圧を抑えることができる。現段階で最小値である90nm以上のゲート長で、NFETの閾値電圧を好適な範囲、具体的には、300mV－600mVに制御するには、砒素イオンを $5 \sim 8 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量で注入することが好適であった。なお、この場合のp型ウェルは、ボロンイオンを、ドーズ量： $1 \times 10^{13} \text{ atoms/cm}^2$ 、加速電圧：130eVで注入することにより形成した。

【0040】

図8は、本発明において、P型チャネルMISFETの閾値電圧とゲート長との関係を示す図である。

図8に示すように、上記NFETと同様、チャネル部分への不純物濃度制御用のイオン注入を行わない場合にはPFETの閾値電圧の上昇が見られ、イオン注入を行うことにより閾値電圧を抑えることができる。現段階で最小値である90nm以上のゲート長で、PFETの閾値電圧を好適な範囲、具体的には、400mV－600mVに制御するには、ボロンイオンを $3 \sim 5 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量で注入することが好適であった。なお、この場合のn型ウェルは、リンイオンを、ドーズ量： $1 \times 10^{13} \text{ atoms/cm}^2$ 、加速電圧：300eVで注入することにより形成した。

【図面の簡単な説明】

【0041】

【図1】本発明の実施の形態1による半導体装置を説明するための断面図である。

【図2】本発明の実施の形態1による半導体装置の製造方法を説明するための工程断面図である。

【図3】本発明の実施の形態2による半導体装置を説明するための断面図である。

【図4】本発明の実施の形態2による半導体装置の製造方法を説明するための工程断面図である（その1）。

【図5】本発明の実施の形態2による半導体装置の製造方法を説明するための工程断面図である（その2）。

【図6】本発明の実施の形態2による半導体装置の製造方法を説明するための工程断面図である（その3）。

【図7】N型チャネルMISFETの閾値電圧とゲート長との関係を示す図である。

【図8】P型チャネルMISFETの閾値電圧とゲート長との関係を示す図である。

【符号の説明】

【0042】

- | | |
|-------|------------|
| 1, 21 | シリコン基板 |
| 2, 22 | 素子分離 |
| 3, 23 | p型ウェル |
| 4, 26 | 砒素イオン |
| 5, 27 | p型低濃度層 |
| 6, 31 | シリコン酸化膜 |
| 7, 32 | 高誘電率ゲート絶縁膜 |
| 8, 33 | ポリシリコン膜 |

0 a, 00 a ノート電極

9, 34 レジストパターン

10, 36 砒素イオン

11, 37 n型不純物層

11 a, 37 a n型エクステンション領域

12, 41 シリコン酸化膜

13, 42 サイドウォール (シリコン窒化膜)

14, 44 砒素イオン

15, 45 n型不純物層

15 a, 45 a n型ソース／ドレイン領域

24 n型ウェル

25, 28, 35, 38, 43, 46 レジストパターン

29 ボロンイオン

39 ボロンイオン

40 p型不純物層

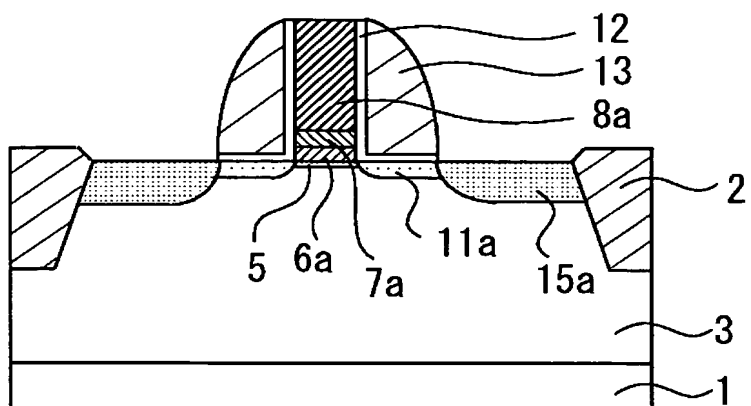
40 a p型エクステンション領域

47 ボロンイオン

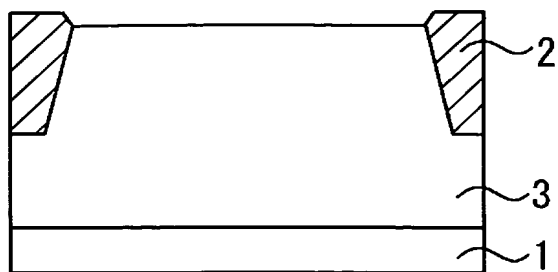
48 p型不純物層

48 a p型ソース／ドレイン領域

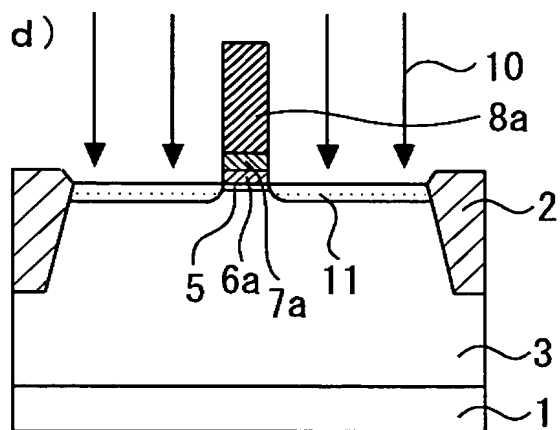
【 図 1 】



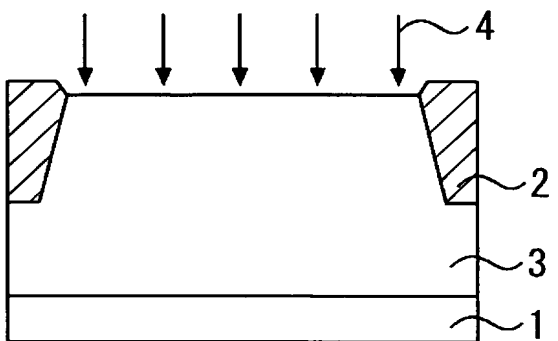
(a)



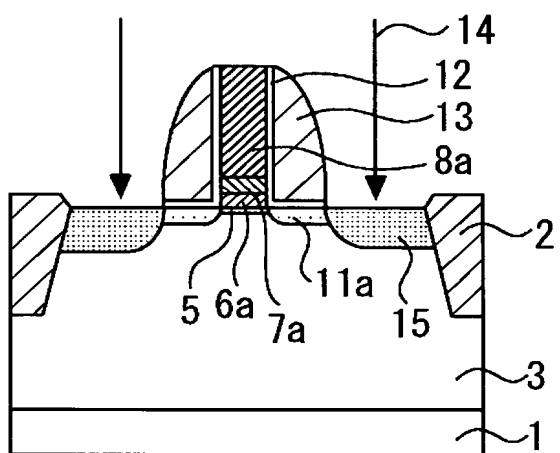
(d)



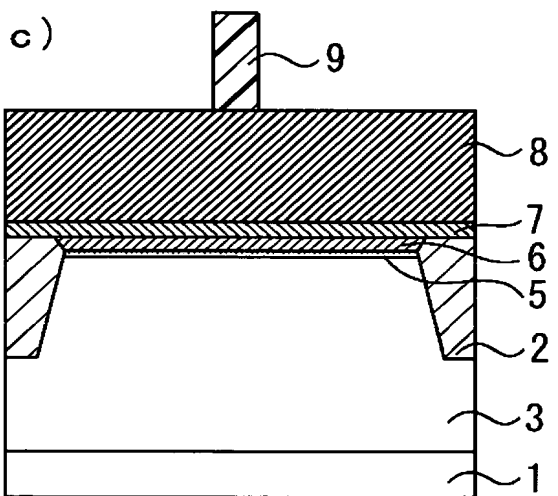
(b)



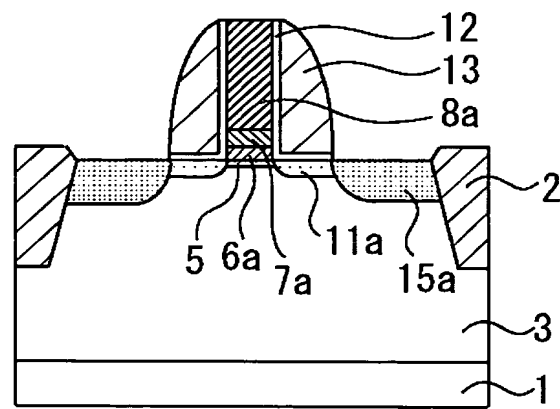
(e)

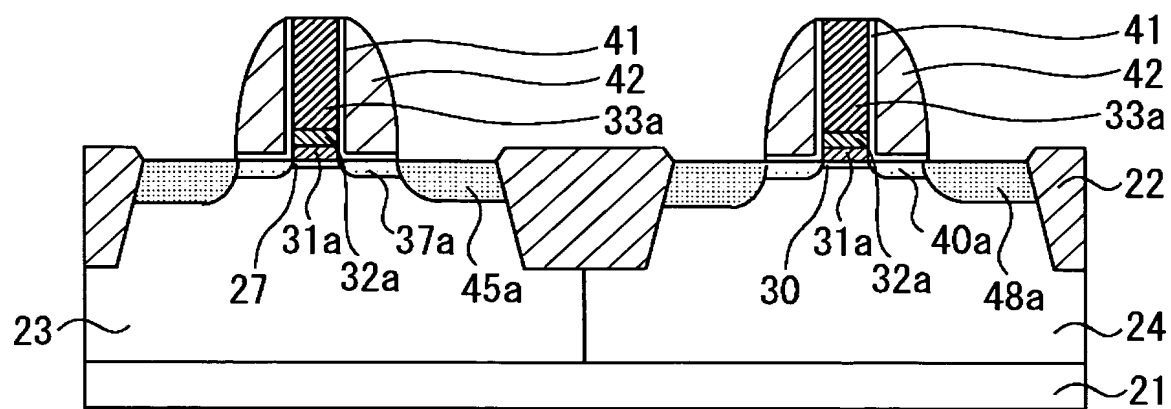


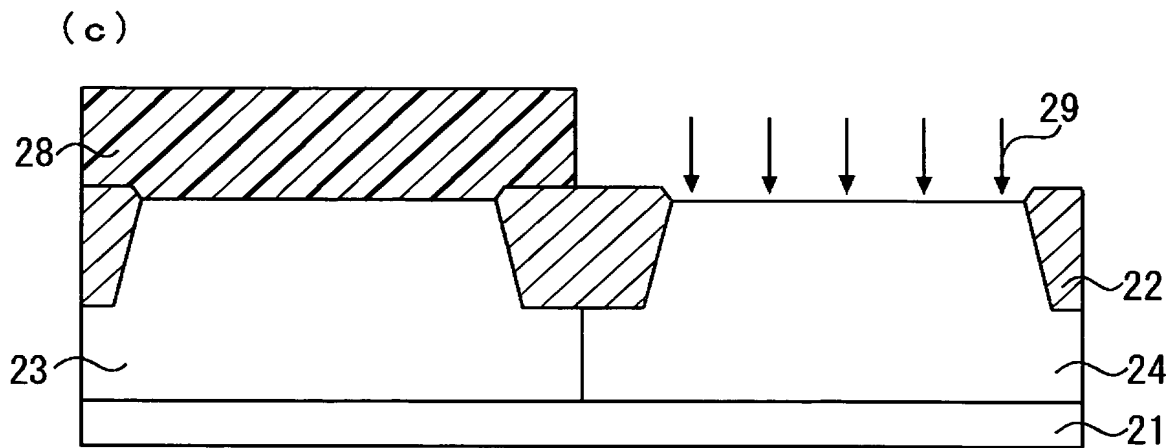
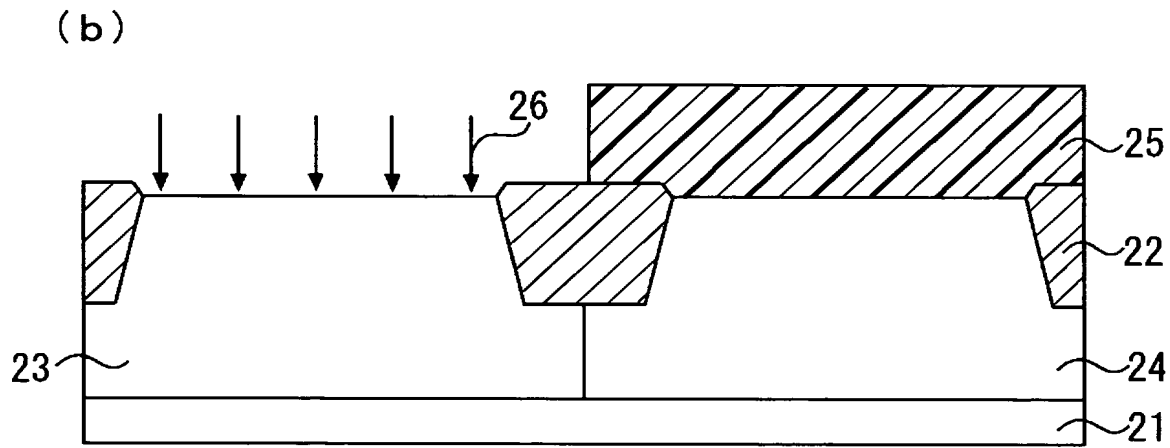
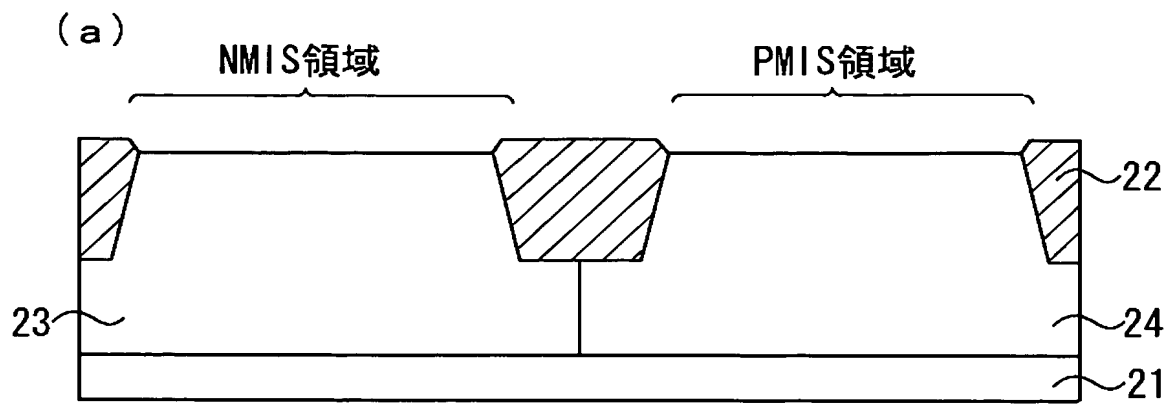
(c)

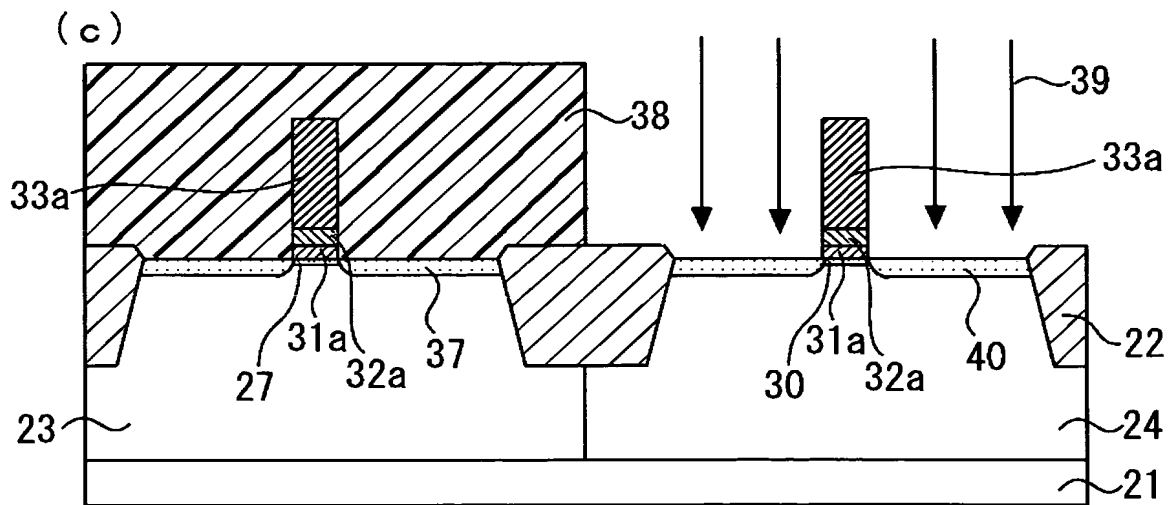
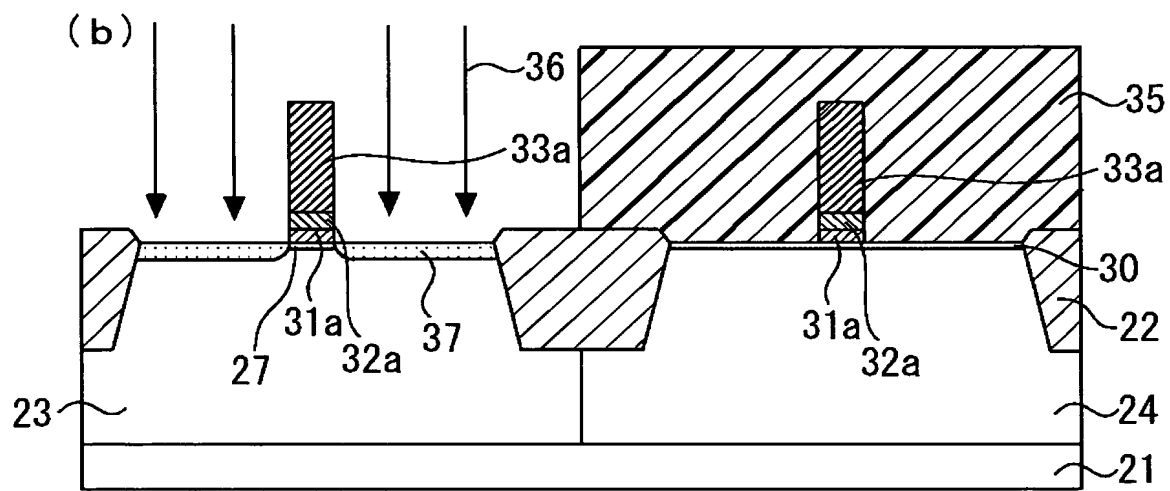
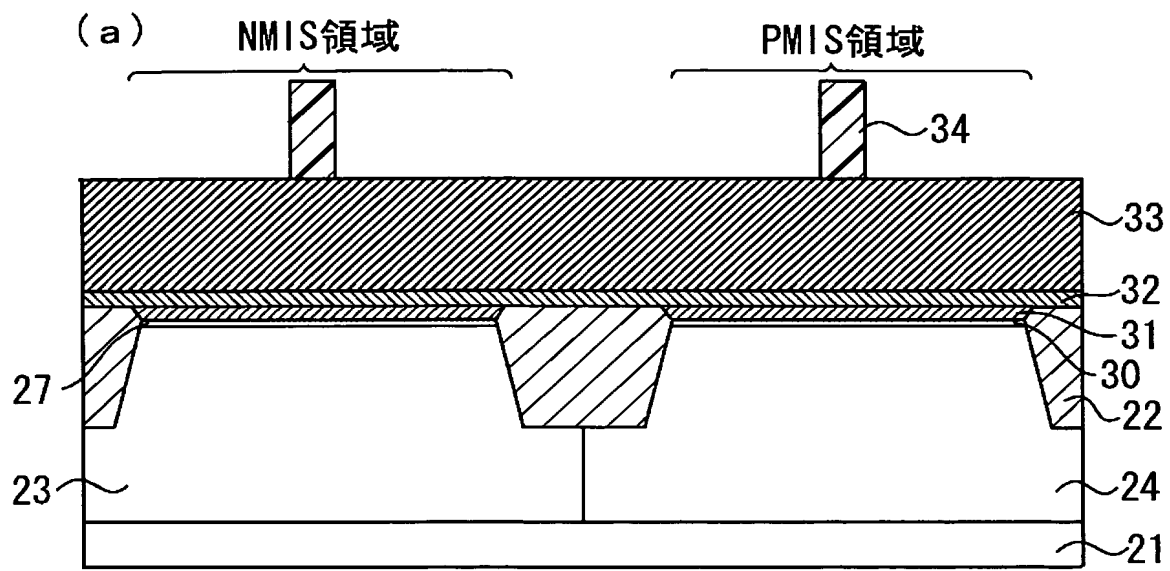


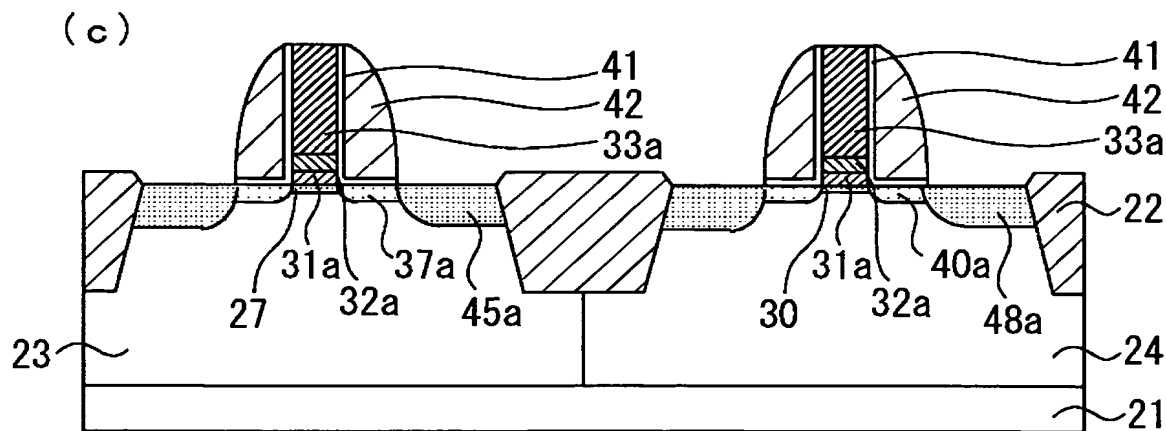
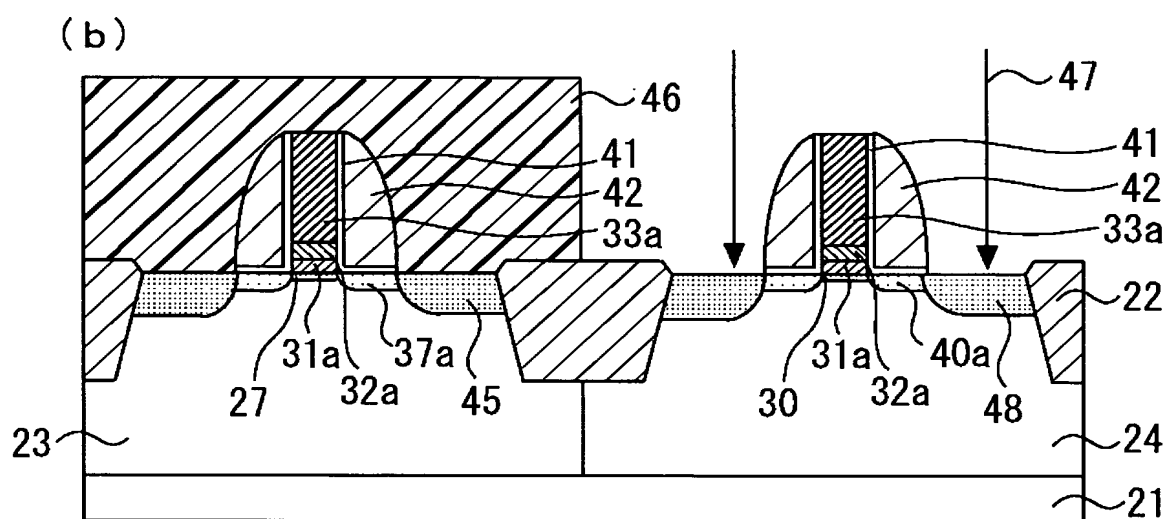
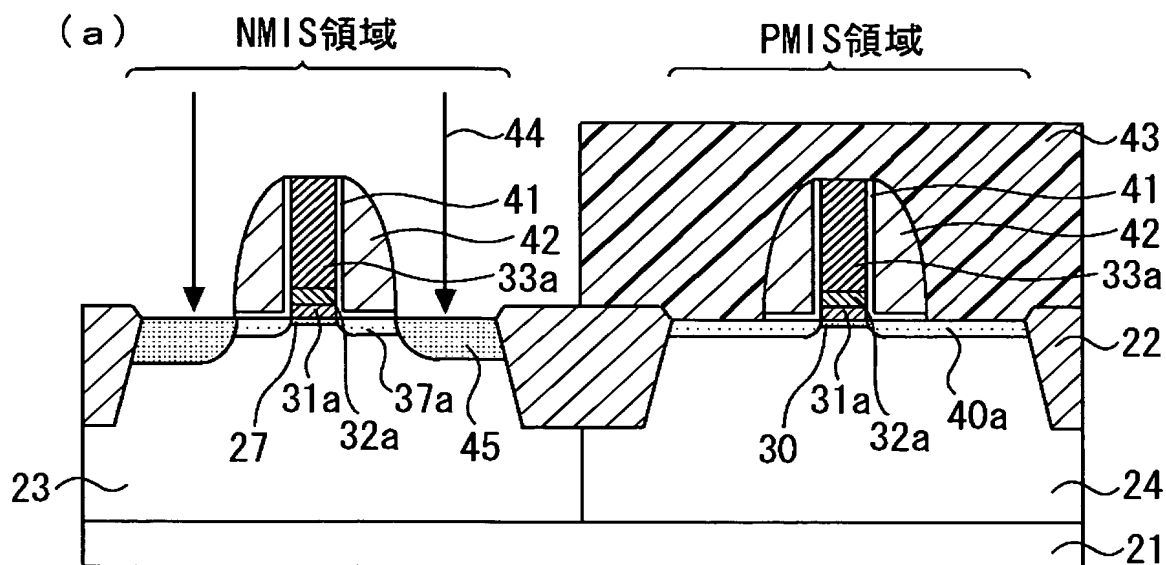
(f)

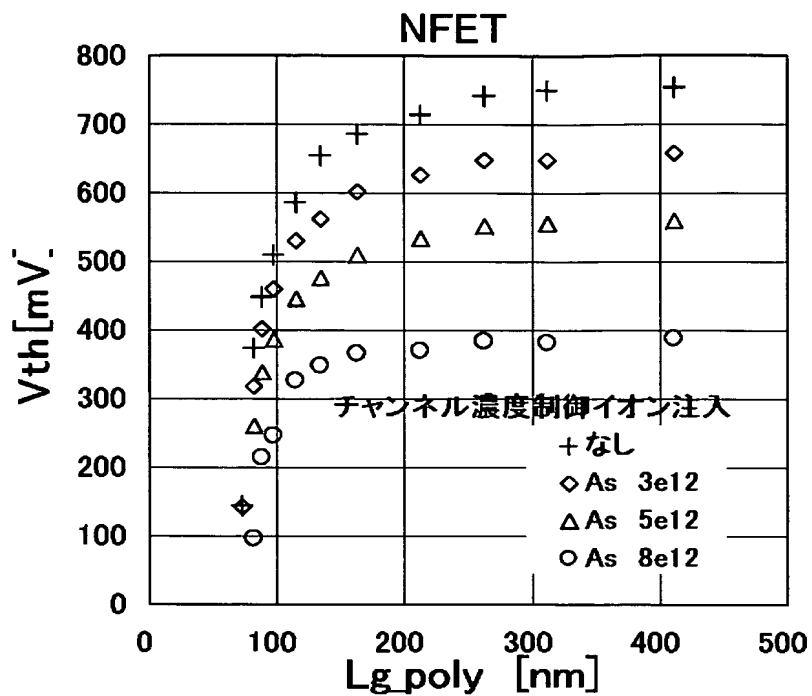




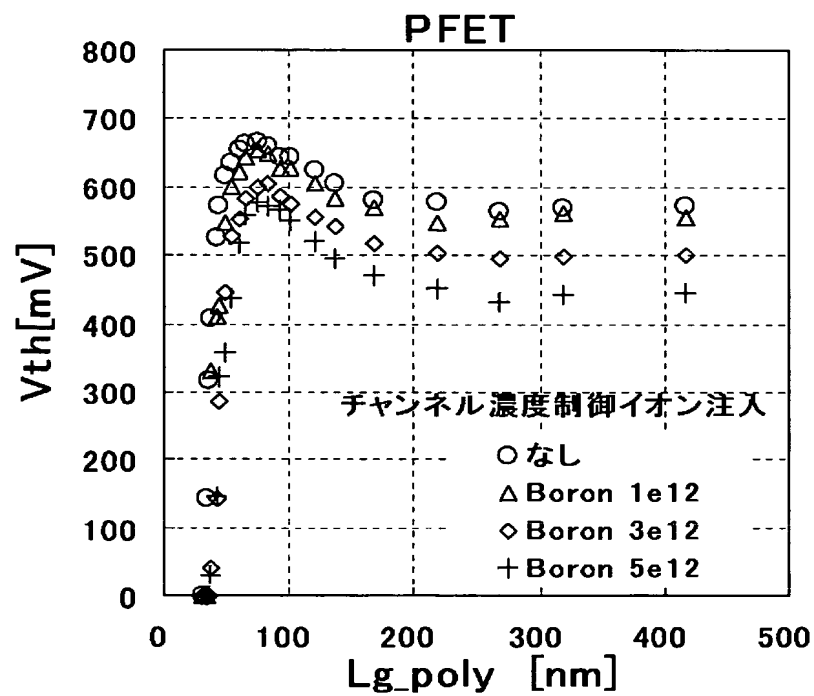








【図 8】



【要約】

【課題】 高誘電率ゲート絶縁膜を有する半導体装置の閾値電圧を高精度に制御する。

【解決手段】 シリコン基板 1 上層に p 型ウェル 3 を形成する。p 型ウェル 3 の極表層に砒素イオン 4 を注入し、熱処理を行うことにより p 型低濃度層 5 を形成する。基板 1 上に H f A l O x 膜 7 とポリシリコン膜 8 を積層する。ポリシリコン膜 8 をパターンニングしてゲート電極 8 a を形成する。ゲート電極 8 a をマスクとして砒素イオン 1 0 を注入して n 型エクステンション領域 1 0 a を形成した後、ゲート電極 8 a 側壁にサイドウォール 1 3 を形成する。サイドウォール 1 3 及びゲート電極 8 a をマスクとして砒素イオン 1 4 を注入して n 型ソース／ドレイン領域 1 5 a を形成する。

【選択図】 図 2

【官 公 印】	山 願 八 公 教 文 天 出
【整理番号】	03PQ035A
【提出日】	平成17年 4月20日
【あて先】	特許庁長官殿
【事件の表示】	
【出願番号】	特願2004-187240
【承継人】	
【識別番号】	000116024
【氏名又は名称】	ローム株式会社
【承継人代理人】	
【識別番号】	100082175
【弁理士】	
【氏名又は名称】	高田 守
【電話番号】	03-5379-3088
【手数料の表示】	
【予納台帳番号】	049397
【納付金額】	4,200円
【提出物件の目録】	
【物件名】	譲渡証書 1
【援用の表示】	特願2001-044104の出願人名義変更届に添付のものを援用する。
【物件名】	委任状 1
【援用の表示】	特願2001-044104の出願人名義変更届に添付のものを援用する。

5 9 7 1 1 4 9 2 6

20020410

住所変更

茨城県つくば市小野川 1 6 番地 1

株式会社半導体先端テクノロジーズ

0 0 0 1 1 6 0 2 4

19900822

新規登録

京都府京都市右京区西院溝崎町 2 1 番地

ローム株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/011260

International filing date: 20 June 2005 (20.06.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-187240
Filing date: 25 June 2004 (25.06.2004)

Date of receipt at the International Bureau: 29 July 2005 (29.07.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse